

819 数字电路

(共九题, 满分 150 分)

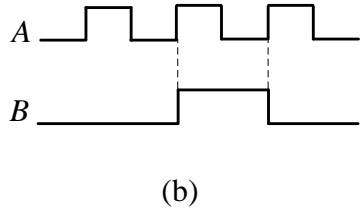
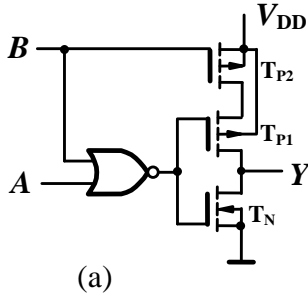
一、(36 分) 填空题 (共 18 小题, 每小题 2 分)

1. 二进制数 (110101) 对应的十进制数为 ()。
2. 十进制数 (19.65) 对应的二进制数为 () (精确到 4 位小数)。
3. 十进制数 (-40) 的 8 位二进制补码为 ()。
4. 函数 $Y = (A + C')(B + D)'$ 的反函数 Y' 的与或式为 ()。
5. 函数 $Y = (A + C')(B + D)'$ 的对偶式 Y^D 的与或式为 ()。
6. 函数 $Y(A, B, C) = \prod(0, 1, 3, 6)$ 的最小项之和式为 ()。
7. 对 TTL 与门的空闲输入端正确的处理方法是 ()。
8. 能实现“线与”逻辑功能的 CMOS 门电路为 ()。
9. 扇出系数是用来表征门电路的 () 能力的参数。
10. TTL 反相器的电压传输特性可分为 () 个区。
11. 说出移位寄存器的 2 种主要用途 ()。
12. 一个 16 选 1 的数据选择器, 其地址输入端有 () 个。
13. 说出 4 种描述时序逻辑电路逻辑功能的方法 ()。
14. 按照触发方式, 触发器有电平触发、() 和边沿触发三种。
15. 存储 16 位二进制信息, 至少需要触发器 () 个。
16. 扭环形计数器的主要特点为 ()。
17. 10 位 D/A 转换器的分辨率为 ()。
18. 在逐次渐近型、并联比较型和双积分型三种 A/D 转换器中, 转换速度最低的是 ()。

二、(9 分) 用代数法化简下列函数为最简与或式

$$Y = ((AC + A'BC)' + B'C + ABC)'$$

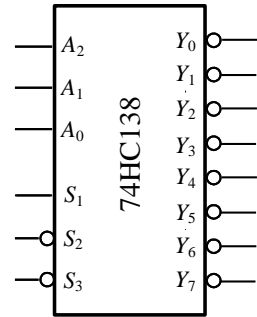
三、(10分) 分析图 (a) 所示的 CMOS 电路，说明其逻辑功能。并根据图 (b) 输入 A、B 的波形，画出输出 Y 的波形。



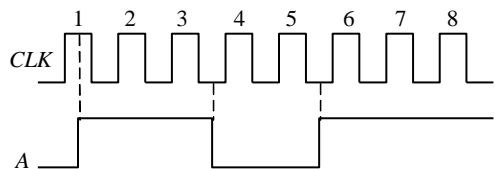
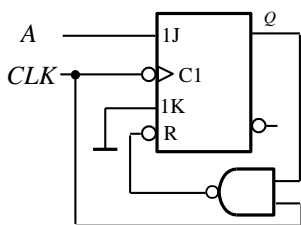
四、(15分) 试用最少的与非门设计一电路，输入 $A_3A_2A_1A_0$ 为 8421BCD 码，它所表示的十进制数大于等于 5 时，电路输出 $Y=1$ ，否则 $Y=0$ 。输入只提供原变量。

五、(15分) 用 3 线-8 线译码器 74HC138 和适当的门电路实现下面的多输出函数。已知 74HC138 的使能端 $S_1S_2S_3 = 100$ 时：译码工作；否则禁止译码。

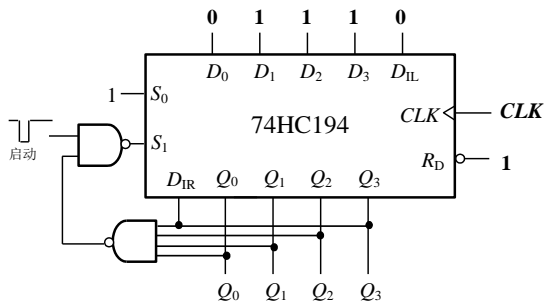
$$\begin{cases} Z_1 = A \oplus B \oplus C \\ Z_2 = A \odot B \odot C \\ Z_3 = AB + BC + CA \end{cases}$$



六、(15分) 由 JK 触发器组成的电路如图所示，写出其状态方程和异步复位条件。设触发器初始状态为 0，根据输入波形画出 Q 的波形。



七、(15 分)，由双向移位寄存器 74HC194 构成的电路如图所示，分析该电路逻辑功能，对应 CLK 画出输出 $Q_3 \sim Q_0$ 的波形。



74HC194 功能表

R'_D	CLK	S_1	S_0	功 能
0	×	×	×	清 零
1	×	0	0	保 持
1	↑	0	1	右 移
1	↑	1	0	左 移
1	↑	1	1	并行置数

八、(20 分) 用 JK 触发器和必要的门电路设计一个带进位 C 的同步六进制减法（状态递减）计数器，并检查电路的自启动能力。

九、(15 分) 用三片十进制计数器 74160 和必要的门电路设计一个 365 进制计数器，要求计数状态序列值为(1 到 365)，且带有进位输出端 Z 。74160 的功能表和电路符号见下页。

74160 的功能表

CLK	R'_D	LD'	EP ET	$D_3 D_2 D_1 D_0$	$Q_3 Q_2 Q_1 Q_0$
\times	0	\times	\times \times	\times \times \times \times	0 0 0 0
\uparrow	1	0	\times \times	$D_3 D_2 D_1 D_0$	$D_3 D_2 D_1 D_0$
\times	1	1	0 1	\times \times \times \times	保 持
\times	1	1	\times 0	\times \times \times \times	保持(但 $C=0$)
\uparrow	1	1	1 1	\times \times \times \times	计数(10 进制)

